

Family list  
6 family members for:  
**JP8006053**  
Derived from 4 applications.

[Back to JP80](#)

- 1 Semiconductor device, method for producing the same, and liquid crystal display including the same**  
Publication info: **CN1043703B B** - 1999-06-16  
**CN1118521 A** - 1996-03-13
- 2 LIQUID CRYSTAL DISPLAY DEVICE**  
Publication info: **JP3067949B2 B2** - 2000-07-24  
**JP8006053 A** - 1996-01-12
- 3 SEMICONDUCTOR DEVICE, METHOD FOR PRODUCING THE SAME, AND LIQUID CRYSTAL DISPLAY DEVICE INCLUDING THE SAME**  
Publication info: **KR254600 B1** - 2000-05-01
- 4 Semiconductor device method for producing the same and liquid crystal display including the same**  
Publication info: **US5744824 A** - 1998-04-28

Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

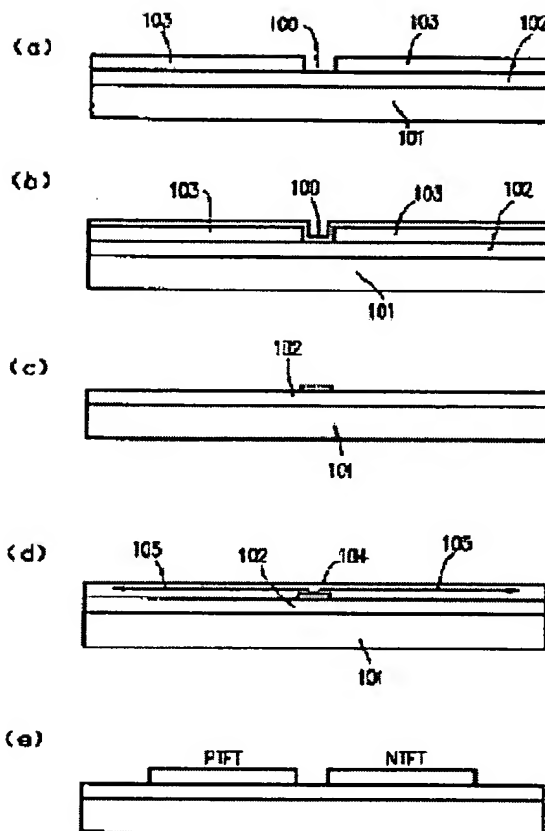
# LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP8006053  
Publication date: 1996-01-12  
Inventor: KOUZAI TAKAMASA; others: 02  
Applicant: SHARP CORP; others: 01  
Classification:  
- International: G02F1/1345  
- european:  
Application number: JP19940132973 19940615  
Priority number(s):

## Abstract of JP8006053

**PURPOSE:** To form TFTs for its pixels and TFTs for its peripheral driving circuit of an active matrix type LCD are formed on the same substrate in the state of decreasing leak currents and off currents and having high performance and stable characteristics over the entire surface of the substrate.

**CONSTITUTION:** The crystalline silicon film of the TFTs for the peripheral driving circuits is obtd. by introducing a catalyst element, such as Ni, into an amorphous silicon film 104, then heating the film at  $\leq 600$  deg.C to grow crystals in a direction approximately parallel with the surface of the substrate 101 and is the silicon film having a crystal state of a fairly low density of crystal defects (dislocations). On the other hand, the crystalline silicon film of the TFTs for pixels is the silicon film crystallized by natural generation of nuclei by heating the amorphous silicon film at  $\geq 600$  deg.C.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

## 特開平8-6053

(43) 公開日 平成8年(1996)1月12日

(51) Int. Cl.<sup>6</sup>

識別記号

F I

G02F 1/1345

審査請求 未請求 請求項の数 6 O L (全11頁)

(21) 出願番号 特願平6-132973

(22) 出願日 平成6年(1994)6月15日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 香西 孝真

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 弁理士 山本 秀策

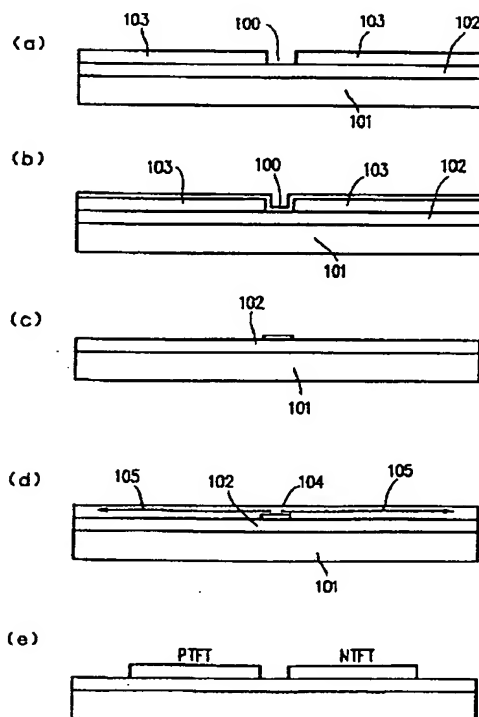
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 リーク電流やオフ電流が低減され、基板全面にわたって高性能で、かつ安定した特性を持つ状態に、アクティブマトリックス型LCDの画素用TFTおよび周辺駆動回路用TFTが同一基板上に形成されるようにする。

【構成】 周辺駆動回路用TFTの結晶性珪素膜は、非晶質珪素膜104にNi等の触媒元素を導入した後、600℃以下の温度で加熱し、基板101表面に対して概略平行な方向に結晶成長させて得られ、結晶欠陥（転位）密度のかなり低い結晶状態を有する珪素膜である。一方、画素用TFTの結晶性珪素膜は非晶質珪素膜を600℃以上の温度で加熱することによって自然核発生によって結晶化させた珪素膜である。



## 【特許請求の範囲】

【請求項 1】 液晶層を挟む一对の基板の一方の基板上にマトリックス状に配列された画素電極と、該画素電極に接続された画素用トランジスタとから構成される表示部を有する液晶表示装置において、

該表示部の外側に該画素用トランジスタを駆動する周辺駆動回路が配置され、該画素用トランジスタ及び該周辺駆動回路に備わった周辺駆動回路用トランジスタが結晶性珪素膜からなる薄膜トランジスタで形成されると共に、該周辺駆動回路用トランジスタの結晶性珪素膜が触媒元素を含む構成となった液晶表示装置。

【請求項 2】 液晶層を挟む一对の基板の一方の基板上にマトリックス状に配列された画素電極と、該画素電極に接続された画素用トランジスタとから構成される表示部を有する液晶表示装置において、

該表示部の外側に該画素用トランジスタを駆動する周辺駆動回路が配置され、該画素用トランジスタ及び該周辺駆動回路に備わった周辺駆動回路用トランジスタが結晶性珪素膜からなる薄膜トランジスタで形成され、更に、該周辺駆動回路用トランジスタの結晶性珪素膜が、選択的に触媒元素の導入された非晶質珪素膜を加熱することにより基板表面に概略平行な方向に結晶成長させたものからなる液晶表示装置。

【請求項 3】 前記周辺駆動回路用トランジスタが、前記結晶性珪素膜中のキャリアの移動する方向と前記結晶成長の方向とを概略平行にして形成された請求項 2 に記載の液晶表示装置。

【請求項 4】 前記周辺駆動回路用トランジスタの結晶性珪素膜が、主たる結晶化を 600℃以下の温度で行って形成され、一方、前記画素用トランジスタの結晶性珪素膜が、結晶化を 600℃以上の温度で行って形成された請求項 1 または 2 に記載の液晶表示装置。

【請求項 5】 前記触媒元素として、ニッケル、鉄、コバルト、パラジウム、白金、錫、インジウム、アルミニウム、金、銀、アンチモン、銅、砒素、燐の中から選ばれた少なくとも一つの材料が用いられた請求項 1 乃至 4 のいずれか 1 つに記載の液晶表示装置。

【請求項 6】 前記周辺駆動回路用トランジスタの結晶性珪素膜の形成に用いる非晶質珪素膜に導入する触媒元素の面密度が  $5.0 \times 10^{11}$  atom/cm<sup>2</sup> 以下である請求項 1 乃至 4 のいずれか 1 つに記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ガラス等の絶縁基板上にマトリックス状に設けられた画素電極をオンオフ制御すべく画素用トランジスタを備えたアクティブマトリックス型の液晶表示装置に関する。特に、上記画素電極および画素用トランジスタを有する表示部と、この表示部を駆動する周辺駆動回路用トランジスタを有する周辺駆動回路とが同一基板上に形成されたドライバモノリシ

ック型アクティブマトリックス型液晶表示装置に関する。

## 【0002】

【従来の技術】 上記液晶表示装置として、マトリックス状に並べられた表示画素のスイッチング素子として薄膜トランジスタ（以下、TFTと略す。）を用いるアクティブマトリックス型の液晶表示装置（以下、LCDと略す。）が知られている。このLCDは、近年、テレビを始め情報機器端末や計測器のディスプレイとして広く活用されている。

【0003】 上記TFTは、その一部である活性層に、一般に薄い珪素半導体膜が用いられている。その珪素半導体膜としては、非晶質珪素半導体（アモルファスシリコン）からなる膜と、結晶性を有する珪素半導体からなる膜との2つに大別される。前者の非晶質珪素半導体膜は、作製温度が低く気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられている。一方、後者の結晶性を有する珪素半導体膜からなるTFTの場合は、電流駆動能力が大きく高速動作が可能で、しかもLCDの周辺駆動回路も同一基板上に表示部と一体形成できるため現在注目を集めている。

【0004】 さて、アクティブマトリックス型のLCDに利用されている結晶性を有する珪素半導体としては、多結晶珪素、微結晶珪素を含む非晶質珪素を変質させたもの、結晶性と非晶質性との中間の状態を有するセミアモルファス珪素等が知られている。

【0005】 このような結晶性珪素半導体膜の作製方法としては、予め形成した非晶質珪素膜に、結晶成長の核としてニッケル等の結晶化を助長する不純物元素（本明細書では結晶化を助長する元素を触媒元素という）を導入し、安価なガラス基板の使用を可能とする600℃以下の温度において、4時間程度の熱処理（アニール）で十分な結晶性珪素膜を形成する方法が提案されている

（特願平5-218156号）。この提案方法による場合には、結晶化初期の核生成速度とその後の核成長速度とを飛躍的に向上できるので、固相結晶化に必要な温度の低温化と加熱処理時間の短縮化とを両立させ得る。また、結晶粒界の影響を最小限に抑えることができる。なお、この結晶化のメカニズムは現状では明らかではないが、ニッケル等の触媒元素を核とした結晶核発生が早期に起こり、その後ニッケル等の元素が触媒となって結晶成長が急激に進行するものと推測される。

【0006】 この提案方法においては、基板上の一部に選択的に触媒元素を導入することにより、特公平2-61032号において提案されているレーザー結晶化のように、同一基板内に選択的に結晶性珪素膜と非晶質珪素膜とを形成することが可能となる。さらに、選択的に触媒元素を導入した後、熱処理を継続させて行くと、選択的に触媒元素が導入され結晶化している部分から、その周辺部の非晶質部分へと横方向（基板面に平行な方向）

に結晶成長部分が延び、結晶化領域が拡張する現象が起きる。以下、この横方向へ延びた結晶成長部をラテラル成長部と呼ぶことにする。このラテラル成長部は、基板表面と平行に針状あるいは柱状の結晶が成長方向に沿って延びており、その成長方向においては結晶粒界が存在しない。それ故に、このラテラル成長部を利用して T F T のチャンネル部を形成することにより、高移動度、高性能の T F T の作製が可能となる。

【 0 0 0 7 】上記提案方法によりラテラル成長部を作製し、更にそのラテラル成長部を利用して T F T を作製する内容を図 8 に基づいて詳細に説明する。図 8 は、上記ラテラル成長部を利用して作製された T F T を基板の上面方向から見た場合の平面図である。

【 0 0 0 8 】先ず、基板全面に非晶質珪素膜を形成し、その非晶質珪素膜上に二酸化珪素膜などからなるマスク膜を堆積し、該マスク膜の N i 等の触媒元素添加領域 3 0 0 に穴を開け、その穴から触媒元素を非晶質珪素膜に導入する。

【 0 0 0 9 】次に、約 5 5 0 ℃の温度で 4 時間程度の熱処理を行う。すると、触媒元素添加領域 3 0 0 が結晶化し、それ以外の領域が非晶質珪素膜のままで残る。

【 0 0 1 0 】さらに、同一温度で 8 時間程度熱処理を継続すると、触媒元素添加領域 3 0 0 を中心として、図中 3 0 1 で示す結晶成長方向で横方向に結晶成長が拡がり、ラテラル成長部 3 0 2 が形成される。

【 0 0 1 1 】次に、従来から知られた T F T 作製方法により、上記ラテラル成長部 3 0 2 を利用して T F T を作製する。その際、ラテラル成長部 3 0 2 に対しソース領域 3 0 3、チャンネル領域 3 0 4 およびドレイン領域 3 0 5 を図 8 のような配置で設ける。これにより、キャリアが移動する方向と結晶成長方向 3 0 1 とが同一方向となり、キャリアの移動方向に結晶粒界が存在しない高移動度の T F T が実現できる。

【 0 0 1 2 】得られた高移動度かつ高性能の T F T を表示部外側の周辺駆動回路の駆動素子として利用することにより、周辺駆動回路に要求される高周波動作を実現することができる。具体的には、ガラス等の絶縁基板上に非晶質珪素膜を主構成部材とするアクティブマトリックス表示部回路を形成し、かつ、同一基板上に前記アクティブマトリックス表示部回路を囲む形で、前記ラテラル成長部を利用した T F T 等の素子によって構成される周辺駆動回路を配置させ、更に該周辺駆動回路の領域を、基板上の非晶質珪素膜内に選択的に N i 等の触媒元素を導入して作製することにより実現することができる。

【 0 0 1 3 】更に、アクティブマトリックス型 L C D の周辺駆動回路用 T F T にラテラル成長部を用いて、その結晶成長方向と平行な方向にソース領域／ドレイン領域を構成し、また、画素用 T F T において、結晶成長方向と垂直な方向にソース領域／ドレイン領域を構成させると、周辺駆動回路用 T F T と画素用 T F T とを作り分け

ることが可能である。

【 0 0 1 4 】このように両 T F T を作り分ける理由は、以下のとおりである。即ち、周辺駆動回路用 T F T は、高周波動作を実現するために高移動度が要求され、大きなオン電流を流すことのできる特性が必要とされる。一方、画素用 T F T は、電荷保持率を高めるため移動度はそれほど必要とはされないが、代わりにオフ電流が小さいことが要求されるからである。

【 0 0 1 5 】そのため、周辺駆動回路用 T F T においては、キャリアがソース領域／ドレイン領域間を移動する際に結晶粒界の影響を極力受けない構成とする必要がある。このようにすると、高移動度の T F T が実現される。一方、画素用 T F T においては、キャリアがソース領域／ドレイン領域間を移動する際に結晶粒界を横切るような構成とする必要がある。このようにすると、ソース領域／ドレイン領域間を高抵抗となし得、結果として、オフ電流（ゲートに逆バイアスをかけたときのソース領域／ドレイン領域間を流れるリーク電流）を下げる事が可能となるからである。このことは、特願平 5 - 2 1 8 1 5 6 号に記載されている。

【 0 0 1 6 】

【発明が解決しようとする課題】しかしながら、上述した提案方法により非晶質珪素膜に微量の触媒元素を選択的に添加して得られた結晶性珪素膜を用いて周辺駆動回路用 T F T を作製した場合には、以下の問題があった。即ち、その T F T のソース領域／ドレイン領域間の結晶成長領域において、結晶成長を助長するために添加した N i 等の触媒元素が結晶粒界に偏在し、その触媒元素の存在によりキャリアに対してトラップ準位が形成される。このため、ソース領域とドレイン領域との近傍に偏在している触媒元素を介して生じるリーク電流が相当大きく、無視できなくなるといった問題があった。一方、画素用 T F T では、そのソース領域／ドレイン領域間を、結晶粒界を横切るような構成にしても、著しいオフ電流の低減が得られないという問題があった。

【 0 0 1 7 】図 9 は、オフ電流の低減が得られない理由を説明するための図であり、ソース領域／ドレイン領域間を従来の固相成長法によって作製した T F T におけるドレイン電流のゲート電圧依存性を示す図である。なお、図 9 の実線はソース領域／ドレイン領域間を従来の固相成長法によって作製した T F T のものであり、破線はソース領域／ドレイン領域間を、結晶粒界を横切るように作製したものである。

【 0 0 1 8 】この図 9 より理解されるように、後者の T F T のオフ電流値は前者の T F T のオフ電流値よりも 1 桁以上高くなっている。

【 0 0 1 9 】本発明は、このような従来技術の課題を解決すべくなされたものであり、リーク電流やオフ電流が低減され、基板全面にわたって高性能で、かつ安定した特性を持つ状態に、アクティブマトリックス型 L C D の

画素用 T F T および周辺駆動回路用 T F T が同一基板上に形成されている液晶表示装置を提供することを目的とする。

#### 【 0 0 2 0 】

【課題を解決するための手段】本発明の液晶表示装置は、液晶層を挟む一対の基板の一方の基板上にマトリックス状に配列された画素電極と、該画素電極に接続された画素用トランジスタとから構成される表示部を有する液晶表示装置において、該表示部の外側に該画素用トランジスタを駆動する周辺駆動回路が配置され、該画素用トランジスタ及び該周辺駆動回路に備わった周辺駆動回路用トランジスタが結晶性珪素膜からなる薄膜トランジスタで形成されると共に、該周辺駆動回路用トランジスタの結晶性珪素膜が触媒元素を含む構成となっているので、そのことにより上記目的が達成される。

【 0 0 2 1 】本発明の液晶表示装置は、液晶層を挟む一対の基板の一方の基板上にマトリックス状に配列された画素電極と、該画素電極に接続された画素用トランジスタとから構成される表示部を有する液晶表示装置において、該表示部の外側に該画素用トランジスタを駆動する周辺駆動回路が配置され、該画素用トランジスタ及び該周辺駆動回路に備わった周辺駆動回路用トランジスタが結晶性珪素膜からなる薄膜トランジスタで形成され、更に、該周辺駆動回路用トランジスタの結晶性珪素膜が、選択的に触媒元素の導入された非晶質珪素膜を加熱することにより基板表面に概略平行な方向に結晶成長させたものからなるので、そのことにより上記目的が達成される。

【 0 0 2 2 】本発明の液晶表示装置において、前記周辺駆動回路用トランジスタが、前記結晶性珪素膜中のキャリアの移動する方向と前記結晶成長の方向とを概略平行にして形成された構成とすることができる。

【 0 0 2 3 】本発明の液晶表示装置において、前記周辺駆動回路用トランジスタの結晶性珪素膜が、主たる結晶化を 6 0 0 ℃以下の温度で行って形成され、一方、前記画素用トランジスタの結晶性珪素膜が、結晶化を 6 0 0 ℃以上の温度で行って形成された構成とすることができる。

【 0 0 2 4 】本発明の液晶表示装置において、前記触媒元素として、ニッケル、鉄、コバルト、パラジウム、白金、錫、インジウム、アルミニウム、金、銀、アンチモン、銅、砒素、燐の中から選ばれた少なくとも一つの材料が用いられた構成とすることができる。

【 0 0 2 5 】本発明の液晶表示装置において、前記周辺駆動回路用トランジスタの結晶性珪素膜の形成に用いる非晶質珪素膜に導入する触媒元素の面密度が  $5 \cdot 0 \times 10^{13}$  atom/cm<sup>2</sup> 以下である構成とすることができる。

#### 【 0 0 2 6 】

【作用】本願出願人は、以下の知見を得た。即ち、N i 等の触媒元素を添加していない非晶質珪素膜部分は 6 0

0 ℃未満の温度でアニールを行っても全く結晶核の発生がなく、その後、6 0 0 ℃以上の温度でアニールすることにより核部分が初めて結晶化される。そのため、N i 等の触媒元素を添加して結晶化を行った結果、リーク電流は大きくなってしまいうけれども、高移動度の T F T が形成される結晶性を有する珪素膜と、触媒元素の添加無しに結晶化され、移動度は低い低リーク電流である結晶性を有する珪素膜とを同一基板上に形成できるという知見を得た。

【 0 0 2 7 】かかる知見により、非晶質珪素からなる薄膜を結晶化温度を 2 段階に分けた加熱により結晶化させる。このとき、N i 等の触媒元素を用いることによって、非晶質珪素膜上の周辺駆動回路を設ける領域を選択的に、かつ結晶成長方向が完全に揃った様な結晶性珪素膜に結晶化し、基板全面にわたって高性能で、かつ安定した特性の T F T 等の半導体素子が実現される。

【 0 0 2 8 】さらに、結晶化温度を 2 段階に分けることにより、周辺駆動回路用 T F T と画素用 T F T との各々に要求される異なる T F T 特性を同時に満足させることができる。

【 0 0 2 9 】次に、本発明をより詳細に説明する。本発明においては、触媒元素添加領域 3 0 0 を使用せずに行ってもよく、或は触媒元素添加領域 3 0 0 を使用して行ってもよい。

【 0 0 3 0 】先ず始めに、N i 等の触媒元素を添加するための窓である触媒元素添加領域 3 0 0 ( 図 8 参照 ) に相当するものを使用することなく、非晶質珪素膜の周辺駆動回路用 T F T を構成する全領域に触媒元素を添加した場合について述べる。この場合において、結晶化された結晶性珪素膜の結晶構造と、その構造によって及ぼされる T F T 特性とは以下の通りである。

【 0 0 3 1 】この結晶性珪素膜の結晶構造は、約 1 0 0 nm の幅の複数の柱状結晶を有する結晶粒から構成されており、結晶粒全体としては 1 0 度前後の角度分布を持っている。したがって、個々の柱状結晶の結晶性が比較的良好でも、粒全体としてはかなり高密度の結晶欠陥 ( 転位 ) を含んでいる。

【 0 0 3 2 】また、結晶粒径は 3 0 ~ 4 0 μ m であり、N i 等の触媒元素添加を伴わない通常の固相成長ポリシリコンと比べて大きい。しかしながら、このサイズだと、例えば L ( チャネル長 ) / W ( チャネル幅 ) = 1 0 μ m / 1 0 μ m の T F T の場合、チャネル内が概略一つの結晶方位であるために比較的高い移動度が得られるが、欠陥密度が高いために T F T のしきい値電圧やリーク電流が下がり難いということになる。

【 0 0 3 3 】そこで、上記しきい値やリーク電流を、更に低くするためには、上記触媒元素添加領域 3 0 0 に相当するもの ( 後述する領域 1 0 0 ) を使用して触媒元素を選択的に添加する方式を用いるのが好ましい。この方式を用いる場合には、従来の固相成長法では得ることの

できない非常に高品質な結晶状態、つまり結晶成長方向が一方向（基板面に対して概略平行な向き）に完全に揃った、結晶欠陥（転位）密度がかなり低い結晶状態を有する結晶性珪素膜を得ることができる。

【0034】一方、画素用TFTを、Ni等の触媒元素を添加しない従来の固相成長法で作製した結晶性珪素膜で形成することにより、オフ電流を低くすることができる。さらに、固相成長過程において、結晶化温度を第1段階として600℃未満で行うと、微量のNi等の触媒元素を添加した領域では触媒元素の触媒作用によってのみ結晶核が発生し、従来の固相成長法における自然核発生過程が全く起こらない。それゆえに、非常に高品質な結晶状態を得ることができる。

【0035】続いて、第2段階として、結晶化温度を600℃以上にするにより、先のNi等の触媒元素を添加した領域は、この焼成により結晶性がさらに向上する。一方、画素部の非晶質珪素膜は、この600℃以上の温度による焼成によって自然核発生が起こり、基板全領域が結晶性を有する珪素膜に変化する。

【0036】尚、触媒元素の添加量を $5.0 \times 10^{13}$  atom/cm<sup>2</sup>以下にすることによって、触媒元素が不純物として周辺駆動回路用TFTに与える影響を極力押さえることができる。その理由は以下の通りである。図10は、触媒元素にNiを使用した場合における、ラテラル成長距離（縦軸）とNi面密度（横軸）との関係を示すラテラル成長距離のNi面密度依存性の図である。この図から理解されるように、Ni添加を $5.0 \times 10^{13}$  atom/cm<sup>2</sup>を超えるようにしても、ラテラル成長距離が90 μm以上にならないからである。

【0037】したがって、同一基板上に、周辺駆動回路に要求される高移動度の周辺駆動回路用TFTと、画素電極の駆動用に要求される低リーク電流の画素用TFTとの2種類を作製することができる。特に、キャリアの流れに対し平行な方向に結晶成長させた結晶性珪素膜でTFTを構成することにより、TFTの移動度を著しく向上でき非常に有効である。

【0038】さらに、触媒元素としては、ニッケルや鉄、コバルト、パラジウム、白金、錫、インジウム、アルミニウム、金、銀、アンチモン、銅、砒素、燐の中から選ばれた少なくとも一つの材料を使用するのが好ましい。これによって、非晶質珪素膜から結晶性を有する珪素膜に変化させる手法の一つであるレーザーアニール法で問題になる結晶性の均一性、大面積化およびスループットの向上を実現することが可能となる。即ち、本発明における触媒元素による結晶性珪素膜の低温結晶化技術は、レーザーアニール法を代表とする従来の結晶化技術とは全く異なる画期的な手段と言ってもよいであろう。

【0039】

【実施例】本発明の一実施例を図面に基づいて説明する。

【0040】図1は、絶縁基板上に液晶表示装置と電気光学システムとが搭載された電子装置を示すブロック図である。この電子装置は、表示部を有する液晶表示装置10を備え、その周辺には、中央演算処理装置20と、メモリ21と、補助メモリ22と、電気信号を入力する入力ポート23、バックライト24と、XY分岐回路25等の薄膜集積回路が設けられている。上記液晶表示装置10は、その表示部には、画素容量2、補助容量3および画素容量2のオンオフを制御する画素スイッチング素子4がマトリクス状に設けられ、その表示部の周辺にはXデコーダ/ドライバ6およびYデコーダ/ドライバ7が設けられている。以下では液晶表示装置について実施例を記すことにする。

【0041】本実施例において、TFTを構成する半導体膜として、まず、基板全面に非晶質珪素を成膜し、次に、画素部を構成する領域をフォトリソで覆い、駆動素子等の周辺回路を配置する領域のみ選択的にNi等の触媒元素を添加して、その領域のみ結晶化の第1段階として、600℃未満の温度かつ24時間以内の加熱によって結晶成長を行う。この結果として駆動素子等の周辺回路を配置する領域は結晶性珪素膜化しており、その領域以外の領域、即ち、画素スイッチング素子を配置する領域は非晶質珪素膜の状態である。続いて、結晶化の第2段階として、600℃以上の温度かつ24時間以上の加熱によって、画素部の非晶質珪素膜を結晶性珪素化させる。

【0042】以下において、図2および図3に示すのが、駆動素子等の周辺回路を構成するNTFTとPTFTとを相補型に構成した回路の作製工程についてであり、図4および図5に示すのが画素部に形成されるNTFTの作製工程についてである。また、両工程は同じ基板上において行われるものであり、共通する工程は同時に行われる。

【0043】即ち、図2(a)～(d)と図4(a)～(b)とは対応し、図2(e)～図3(g)と図4(c)～図5(e)とは対応し、図3(h)～(i)と図5(f)～(g)とは対応するものであり、図2(a)～(d)の工程と図4(a)～(b)の工程は同時に進行し、図2(e)～図3(g)の工程と図4(c)～図5(e)の工程は同時に進行し、という様になる。

【0044】まず、図2(a)および図4(a)に示すように、ガラス基板等（例えばコーニング7059）の絶縁基板101上に、スパッタリング法によって厚さ200～1000オングストロームの酸化珪素の下地膜102を形成する。

【0045】次に、下地膜102の上に、メタルマスクまたは酸化珪素膜等によって形成されたマスク103を設ける。このマスク103によって、スリット状に下地膜102が露呈される。即ち、図2(a)の状態を上面

から見ると、スリット状に下地膜 102 が露呈しており、他の部分はマスクされている状態となっている。

【0046】次に、上記マスク 103 の上に、図 2 (b) に示すように、スパッタリング法によって、厚さ 1 ~ 2000 オングストローム、例えば 200 オングストロームのニッケル膜を成膜する。

【0047】次に、図 2 (c) に示すように、マスク 103 を取り除くことによって、領域 100 の部分に選択的にニッケル膜が成膜されることになる。即ち、領域 100 の部分に選択的に微量のニッケルが選択的に添加されたことになる。

【0048】次に、図 2 (d) および図 4 (b) に示すように、プラズマ CVD 法あるいは減圧 CVD 法によって、厚さ 300 ~ 2000 オングストローム、例えば 1000 オングストロームの真性半導体の非晶質珪素膜 (アモルファスシリコン膜) 104 を成膜する。

【0049】次に、この基板を水素還元還元雰囲気下 (好ましくは、水素の分圧が 0.1 ~ 1 気圧) または、不活性ガス雰囲気下 (大気圧)、600℃以下の温度で 24 時間以内のアニール、例えば 550℃、16 時間のアニールによって結晶化させる。この際、ニッケル膜が選択的に形成された領域 100 においては、基板 101 に対して垂直方向に非晶質珪素膜 104 の結晶化が起こり、そして、領域 100 の周辺領域では、矢印で示す結晶成長方向 105 に、つまり領域 100 から横方向 (基板と平行な方向) に結晶成長が行われる。この結果として結晶成長方向が完全に揃った高品質の結晶性珪素膜 104 が得られる。そして、後の工程で明らかになるように、図 2 に示す周辺回路部分の TFT においては、ソース/ドレイン領域がこの結晶成長方向に形成される。尚、上記結晶成長に際し、図 2 (d) において矢印で示す結晶成長方向 105 の結晶成長距離は 40 ~ 90  $\mu\text{m}$  程度である。

【0050】なお、非晶質珪素膜 104 の結晶化の際に、領域 100 の部分に選択的にニッケルを添加した後、即ち結晶化の前にマスク 103 を取り除いたが、このマスク 103 を取り除かない状態で結晶化を行っても同じ結晶化が起こる。ただし、500℃以上 600℃以下の温度でかつ 10 時間以上のアニールを行う場合には、マスク 103 の膜厚を 500 オングストローム以上にしたほうがよい。なぜならマスク 103 の膜厚が 500 オングストローム以下のときに、例えば、550℃、16 時間以上のアニールを行うと、マスク 103 上のニッケルがマスク 103 内に熱拡散され、さらにマスク 103 から非晶質珪素膜 104 内にも拡散してしまい、領域 100 以外の領域でニッケルによる非晶質珪素膜 104 の結晶化が起こってしまうからである。

【0051】先にも述べたが、上述の 550℃、16 時間のアニールによる結晶化では画素部用 TFT を作製する領域はまだ非晶質珪素の状態である。

【0052】次に、加熱温度を 600℃以上の温度に上げ 24 時間以上の結晶化を行う。これによって、基板内に残っていた非晶質珪素膜がすべて結晶性を有する珪素膜に変化する。

【0053】次に、図 2 (e) に示すように、素子間分離を行うと共に不要な部分の結晶性珪素膜 104 を除去し、PTFT 用と NTFT 用の素子領域を形成する。また、このとき、図 4 (c) に示すように、不要な部分の結晶性珪素膜 104 を除去し、NTFT 用の素子領域を形成する。なお、上記素子間分離が行われた、PTFT 用素子領域と NTFT 用素子領域との間に、微量のニッケルが選択的に添加された領域 100 が存在しないようにするのが好ましい。このようにすることにより、ラテラル成長部のみを使用でき、オフ電流の低減をより効率化できるという利点がある。

【0054】次に、図 3 (f) および図 4 (d) に示すように、スパッタリング法によって、厚さ 1000 オングストロームの酸化珪素膜 106 をゲート絶縁膜として成膜する。スパッタリングにはターゲットとして酸化珪素を用い、スパッタリング時の基板温度は 200 ~ 400℃ (例えば 350℃)、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素 = 0 ~ 0.5 (例えば 0.1) 以下とする。

【0055】次に、図 3 (g) および図 5 (e) に示すように、スパッタリング法によって、厚さ 6000 ~ 8000 オングストローム (例えば 6000 オングストローム) のアルミニウム膜 (0.1 ~ 2% のシリコンを含む) を成膜する。尚、上記酸化珪素膜 106 とこのアルミニウム膜との成膜工程は連続的に行うことが望ましい。続いて、アルミニウム膜をパターニングして、ゲート電極 107、109 を形成する。

【0056】次に、このアルミニウムのゲート電極 107、109 の表面を陽極酸化して、表面に酸化物層 108、110 を形成する。この陽極酸化は、酒石酸が 1 ~ 5% 含まれたエチレングリコール溶液で行う。得られた酸化物層 108 と 110 の厚さは 2000 オングストロームである。尚、得られた酸化物層 108 と 110 とは、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるのでオフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0057】次に、図 3 (h) に示すように、イオンドーピング法によって、活性層領域にゲート電極 107 とその周囲の酸化層 108、ゲート電極 109 とその周囲の酸化層 110 をマスクとして不純物金属元素 (燐およびホウ素) を注入する。ドーピングガスとして、フォスフィン ( $\text{PH}_3$ ) およびジボラン ( $\text{B}_2\text{H}_6$ ) を用い、前者の場合は加速電圧を 60 ~ 90 kV (例えば 80 kV)、後者の場合は 40 ~ 80 kV (例えば 65 kV) とし、ドーズ量は  $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$  (例えば燐を  $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を  $5 \times 10^{15} \text{ cm}^{-2}$ )



とする。なお、ドーピングの際、ドーピングが不要な領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングを行う。この結果、N型の不純物領域（ソース／ドレイン領域又はドレイン／ソース領域）114と116、P型の不純物領域（ソース／ドレイン領域又はドレイン／ソース領域）111と113が形成され、さらに、N型の不純物領域114と116に挟まれた領域115およびP型の不純物領域111と113に挟まれた領域112は後にTF Tのチャネル領域となる。

【0058】その結果、図3（h）に示すようにPチャネル型TF T（PT F T）とNチャネル型TF T（NT F T）とを形成することができる。また、同時に図5（f）に示すようにNチャネル型TF Tを形成することができる。

【0059】次に、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、Kr Fエキシマレーザー（波長248nm、パルス幅20ns）を用いるが、他のレーザーであってもよい。レーザー光の照射条件はエネルギー密度が200～400mJ/cm<sup>2</sup>（例えば250mJ/cm<sup>2</sup>）とし、一カ所につき2～10ショット（例えば2ショット）とする。尚、このレーザー光の照射時に基板を200～450℃程度に加熱しておくことは有要である。また、このレーザーアニール工程において、先に結晶化された領域にはニッケルが拡散しているため、このレーザー光の照射によって再結晶化が容易に進行し、P型を付与する不純物がドーピングされた不純物領域111と113、さらにN型を付与する不純物がドーピングされた不純物領域114と116は容易に活性化され得る。

【0060】次に、周辺回路部分においては、図3

（i）に示すように、厚さ6000オングストロームの酸化珪素膜118を層間絶縁膜としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば窒化チタンとアルミニウムの多層膜によってTF Tの電極・配線117、119、120、121を形成する。一方、画素部分では図5（g）に示すように、層間絶縁物211を酸化珪素膜によって形成し、コンタクトホールの形成後、画素電極となるITO電極212を形成し、さらに金属配線213、214を形成する。

【0061】最後に、1気圧の水素雰囲気中で350℃、30分のアニールを行い、TF T回路またはTF Tを完成させる。

【0062】図6は、ニッケルが選択的に導入された領域とTF Tとの位置関係を示すために、図3（i）を上面から見た概要を示す。図6において、100で示される領域に選択的に微量のニッケルが添加され、前述の熱アニールによって、領域100から矢印で示す結晶成長方向105である横方向（紙面左右方向）に結晶成長が

なされる。そして、この横方向の結晶成長が行われた領域において、ソース／ドレイン領域111と113、チャネル形成領域112がPT F Tとして形成される。同様にソース／ドレイン領域114と116、チャネル形成領域115がNT F Tとして形成される。即ち、周辺回路部分においては、ソース／ドレイン領域間において、キャリアの移動する方向が、結晶の成長方向105と同一の方向となっている。したがって、キャリアが移動に際して結晶粒界を横切ることがほとんどないので、特に、移動度を高くさせることができる。

【0063】本実施例において、先に詳しく述べたが、ニッケルを導入する方法として、非晶質珪素膜104下の下地膜102表面に選択的にニッケルを薄膜（極めて薄い膜なので、膜として観察することは困難である。）として形成し、この部分から結晶成長を行う方法を採用した。この方法とは別に、非晶質珪素膜104を形成した後に、その上面に選択的に微量のニッケルを添加する方法でもよい。即ち、結晶成長は非晶質珪素膜104の上面側から行ってもよいし、下面側から行ってもよい。

【0064】非晶質珪素膜104の上面側から行う場合について、図7（a）、（b）に基づいて説明する。先ず、図7（a）に示すように、ガラス基板等（例えばコーニング7059）の絶縁基板101上にスパッタリング法によって厚さ200～1000オングストロームの酸化珪素からなる下地膜102を形成する。

【0065】次に、プラズマCVD法あるいは減圧CVD法によって、厚さ300～2000オングストローム、例えば1000オングストロームの真性半導体の非晶質珪素膜104を成膜する。

【0066】続いて、メタルマスクまたは酸化珪素膜等によって形成されたマスク103を設ける。このマスク103によって、スリット状に非晶質珪素膜104が露呈される。即ち、図7（a）の状態を上面から見ると、スリット状に非晶質珪素膜104が露呈しており、他の部分はマスクされている状態となっている。

【0067】次に、上記マスク103を設けた後、スパッタリング法によって、厚さ5～200オングストローム、例えば20オングストロームのニッケル膜（図示せず）を成膜する。

【0068】次に、この基板を水素還元雰囲気下（好ましくは、水素の分圧が0.1～1気圧）または、不活性ガス雰囲気下（大気圧）、600℃以下の温度で、例えば550℃で、24時間以内のアニールで、例えば16時間アニールによって結晶化させる。この際、ニッケル膜が選択的に形成された領域100においては、図7

（b）に示すように、基板101に対して垂直方向に非晶質珪素膜104の結晶化が起こり、そして、領域100の周辺領域では、矢印の結晶成長方向105で示すように領域100から横方向（基板と平行な方向）に結晶成長が行われる。この結果として結晶成長方向が完全に

10

20

30

40

50

揃った高品質の結晶性珪素膜 1 0 4 が得られる。

【0 0 6 9】上記実施例では非晶質珪素膜 1 0 4 の結晶化により結晶性を有する薄膜状の珪素半導体を得る方法として、アニールすることにより行うようにしているが、本発明はこれに限らず、レーザー光のエネルギーにより非晶質半導体膜を結晶性を有する珪素半導体に変質させる方法を採用することができる。この場合において、非晶質珪素膜がレーザー光のエネルギーにより加熱される温度を、6 0 0 °C 未満と 6 0 0 °C 以上の 2 状態を確保する必要がある。

【0 0 7 0】また、本発明は、予め非晶質珪素膜 1 0 4 を成膜し、さらにイオンドーピング法を用いて、ニッケルイオンを非晶質珪素膜 1 0 4 に選択的に注入する方法を採用してもよい。この場合には、ニッケル元素の濃度を制御することができるという特徴を有する。

【0 0 7 1】また、本発明は、ニッケルの薄膜を成膜する代わりにニッケル電極を用いてプラズマ処理により、微量のニッケルを添加してもよい。あるいは、硝酸ニッケルや酢酸ニッケルの水溶液またはアルコール溶液を基板表面に塗布する方法で微量のニッケルを添加してもよい。

【0 0 7 2】さらに、本発明においては、結晶化を助長する触媒元素としては、ニッケル以外に鉄 (F e)、コバルト (C o)、パラジウム (P d)、白金 (P t)、錫 (S n)、インジウム (I n)、アルミニウム (A l)、金 (A u)、銀 (A g)、アンチモン (S b)、銅 (C u)、砒素 (A s)、燐 (P) を用いても同様の効果が得られる。また、これらの材料を一つずつ単独で使用する必要はなく、2 つ以上を組み合わせ使用してもよいことはもちろんである。

【0 0 7 3】上記実施例では触媒元素を領域 1 0 0 を介して非晶質珪素膜に選択的に導入しているが、本発明はこれに限らない。例えば、周辺駆動回路用 T F T の形成領域の全域に触媒元素を導入するようにしてもよい。

【0 0 7 4】以上、本発明に基づく実施例について具体的に説明したが、本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0 0 7 5】本発明の応用としては、液晶表示用のアクティブマトリックス型基板以外に、例えば、密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系 E L 等を発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元 I C 等が考えられる。

【0 0 7 6】本発明を用いることで、これらの素子の高速、高解像度化等の高性能化が実現される、さらに、本発明は上述の実施例で説明した M O S 型トランジスタに限らず、結晶性半導体を素子材としたバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広く半導体プロセス全般に適用することができる。

【0 0 7 7】

【発明の効果】以上詳述したように、本発明による場合には、N i 等の触媒元素を使用し、かつ、2 段階の加熱を行うので、ガラス等の絶縁基板上にそれぞれ異なる電気特性を有する 2 種類の T F T を形成することが可能となる。それゆえに、同一基板上に、画像表示部分と周辺駆動回路とが組み込まれたドライバーモノリシック型アクティブマトリックス L C D の実現が可能となる。

【0 0 7 8】また、非晶質珪素膜に選択的に N i 等の触媒元素を導入して結晶性珪素膜とした部分のみを周辺駆動回路用 T F T に使用することにより、従来にはない高品質な、即ち結晶成長方向が完全にそろった、結晶欠陥 (転位) 密度がかなり低い結晶性珪素膜にて周辺駆動回路用 T F T を作製でき、その周辺駆動回路用 T F T の移動度は非常に高い値となり、また、リーク電流を低減できる。一方、画素用 T F T が形成される領域には、触媒元素の導入が無いのでオフ電流を低くすることが可能となる。また、N i 等の触媒元素の導入領域と非導入領域とは二酸化珪素などのマスクを使用することにより容易に作り分けることが可能である。さらに、このマスクのパターンにより N i 導入領域の結晶成長方向を任意に決定することができるので、周辺駆動回路として設けられるあらゆる T F T 構造に容易に対応が可能となる。

【図面の簡単な説明】

【図 1】本発明の液晶表示装置と電気光学システムとが搭載された電子装置を示すブロック図である。

【図 2】(a) ~ (e) は本発明の液晶表示装置に使用されるアクティブマトリックス型基板の周辺駆動回路用 T F T の製造工程図 (断面図) である。

【図 3】図 2 の続きであり、(f) ~ (i) は本発明の液晶表示装置に使用されるアクティブマトリックス型基板の周辺駆動回路用 T F T の製造工程図 (断面図) である。

【図 4】(a) ~ (d) は本発明の液晶表示装置に使用されるアクティブマトリックス型基板の画素用 T F T の製造工程図 (断面図) である。

【図 5】図 4 の続きであり、(e) ~ (g) は本発明の液晶表示装置に使用されるアクティブマトリックス型基板の画素用 T F T の製造工程図 (断面図) である。

【図 6】本発明の液晶表示装置に使用されるアクティブマトリックス型基板の周辺駆動回路用 T F T である N T F T、P T F T を上から見た状態を示す平面図である。

【図 7】(a)、(b) は本発明の他の実施例であり、アクティブマトリックス型基板の周辺駆動回路用 T F T の製造工程途中を示す断面図である。

【図 8】従来の提案方法 (特願平 5 - 2 1 8 1 5 6 号) による場合における、微量ニッケル添加およびラテラル成長の説明図 (平面図) である。

【図 9】従来の固相成長法によって作製した T F T におけるドレイン電流のゲート電圧依存性を示す図である。

15

【図 10】本発明において非晶質珪素膜に導入する触媒元素の量を決定する際に用いられる図であり、ラテラル成長距離とN i 面密度との関係を示す図である。

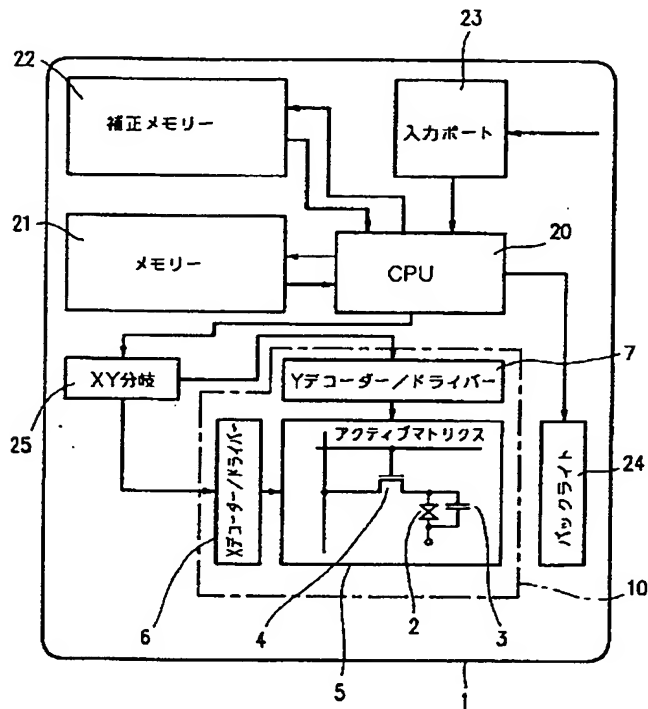
【符号の説明】

- 100 領域
- 101 絶縁基板
- 102 下地膜
- 103 マスク
- 104 非晶質珪素膜あるいは結晶性珪素膜
- 105 結晶成長方向
- 106 ゲート絶縁膜（酸化珪素膜）
- 107 ゲート電極
- 108 酸化物層
- 109 ゲート電極
- 110 酸化物層
- 111 ソース／ドレイン領域（不純物領域）
- 112 チャンネル形成領域
- 113 ドレイン／ソース領域（不純物領域）

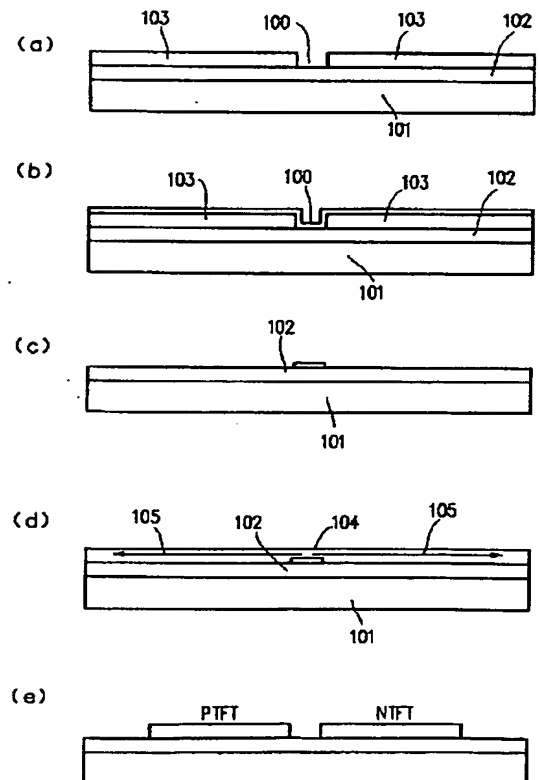
16

- 114 ソース／ドレイン領域（不純物領域）
- 115 チャンネル形成領域
- 116 ドレイン／ソース領域（不純物領域）
- 117 電極・配線
- 118 酸化珪素膜
- 119 電極・配線
- 120 電極・配線
- 121 電極・配線
- 211 層間絶縁物
- 212 ITO電極
- 213 金属配線
- 214 金属配線
- 300 触媒元素添加領域
- 301 結晶成長方向
- 302 ラテラル成長部
- 303 ソース領域
- 304 チャンネル領域
- 305 ドレイン領域

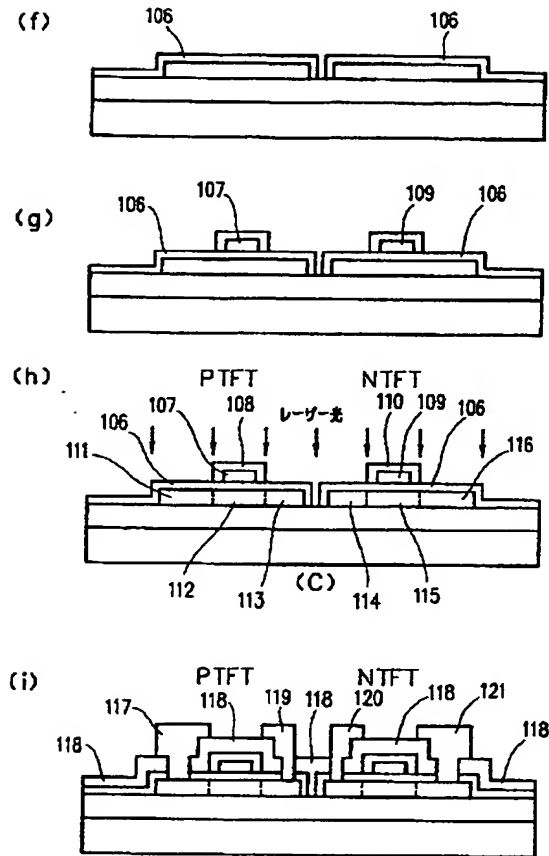
【図 1】



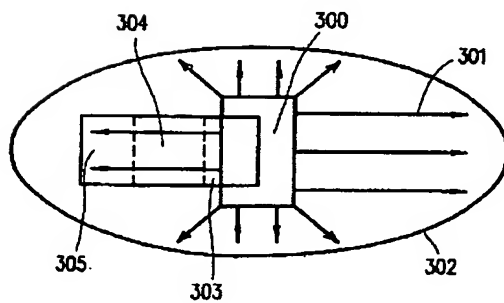
【図 2】



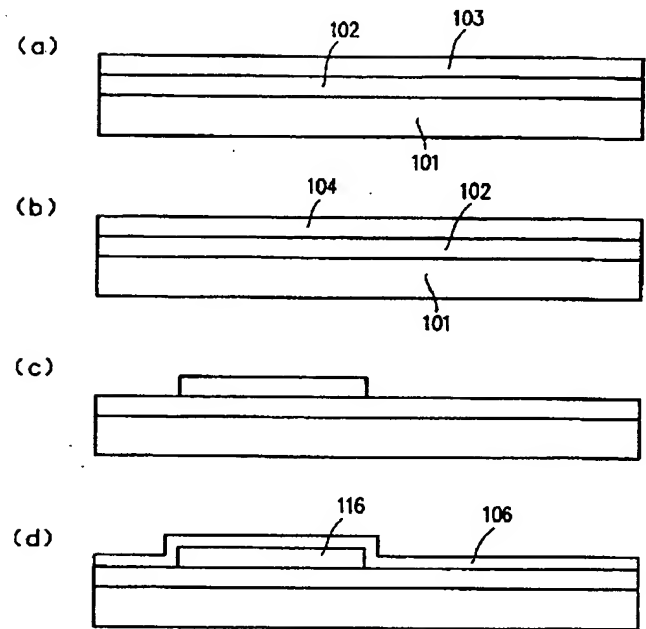
【図 3】



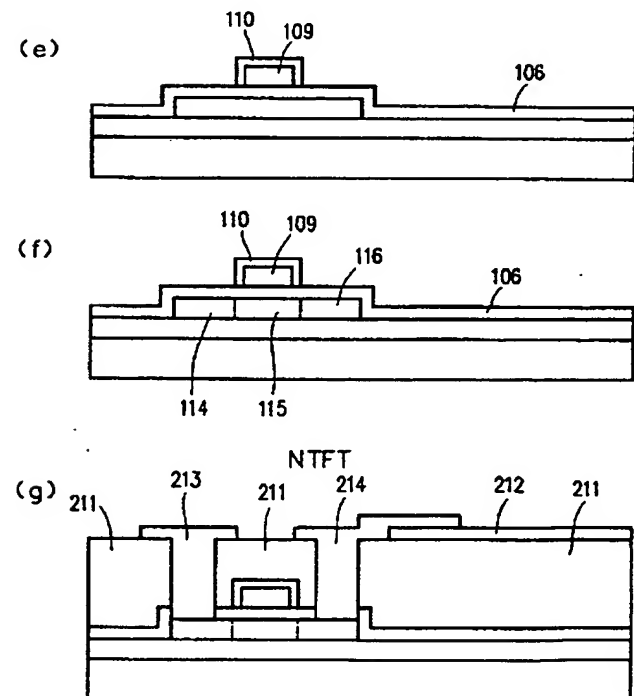
【図 8】



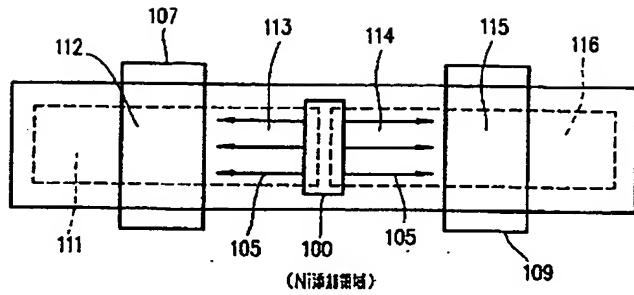
【図 4】



【図 5】

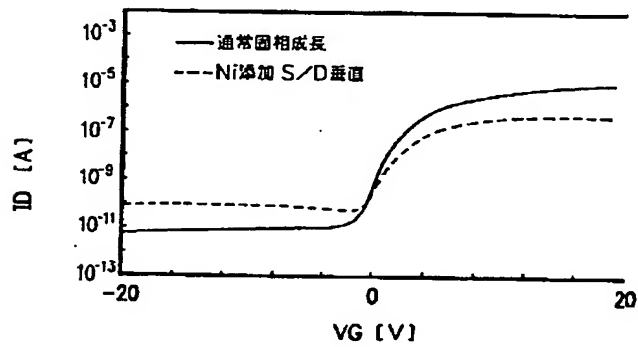


【図 6】



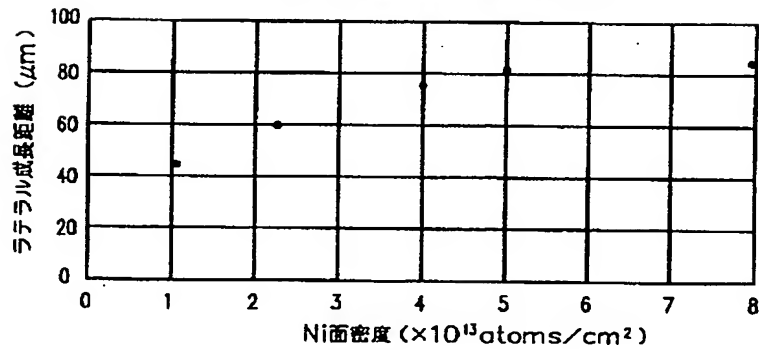
【図 9】

当社で作製した2種類のTFTのドレイン電流のゲート電圧依存性

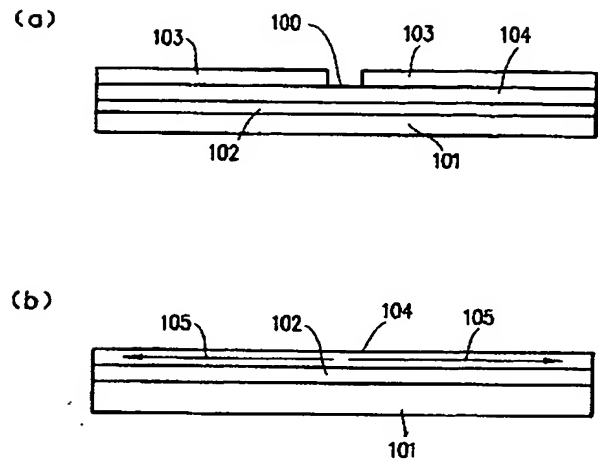


【図 10】

ラテラル成長距離のNi面密度依存性



【図 7】



フロントページの続き

(72)発明者 高山 徹  
神奈川県厚木市長谷398 株式会社半導体  
エネルギー研究所内